

공고특허10-0223879

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.  
G02F 1/1343  
G02F 1/136

(45) 공고일자 1999년 10월 15일  
(11) 공고번호 10-0223879  
(24) 등록일자 1999년 07월 12일

(21) 출원번호	10-1996-0056875	(65) 공개번호	특 1998-0038039
(22) 출원일자	1996년 11월 23일	(43) 공개일자	1998년 08월 05일
(73) 특허권자	엘지전자주식회사 구지중 서울특별시 영등포구 여의도동 20번지		
(72) 발명자	김종규 경기도 안양시 동안구 호계 3동 813 주공아파트 3-107		
(74) 대리인	김유민 심정섭		

심사관: 김여성

(54) 액정표시장치 및 그 제조방법

요약

액정표시장치 및 그 제조방법에 관한 것으로서, 블랙 매트릭스를 박막 트랜지스터 영역, 게이트 라인 및 데이터 라인과 화소전극의 압축과 증편되도록 임계함으로 형성하고, 블랙 매트릭스를 공통전극으로 사용하여 화소 전극과 블랙 매트릭스에 의해 형성되는 커패시터를 스토리지 커패시터로 이용함으로써, 화소 영역에서 스토리지 커패시터가 차지하는 면적을 줄일 수 있어 고개구율의 액정표시장치를 제작할 수 있다.

원세서

도면의 간단한 설명

도1은 일반적인 액정표시장치의 회로도,  
도2는 증편 기술에 따른 액정표시장치의 레이아웃도,  
도3a 내지 3h는 도2의 I-I선에 따른 액정표시장치의 제조공정을 보여주는 공정 단면도,  
도4는 본 발명의 제 1 실시예에 따른 액정표시장치의 레이아웃도,  
도5a 내지 5d는 도4의 II-II 선에 따른 액정표시장치의 제조 공정을 보여주는 공정 단면도,  
도6은 본 발명의 제 2 실시예에 따른 액정표시장치의 레이아웃도,  
도7a 내지 7h는 도6의 III-III 선에 따른 액정표시장치의 제조 공정을 보여주는 공정 단면도이다.

\* 도면의 주요 부분에 대한 부호의 설명

41, 61 : 무영결연기관 42, 62 : 결성층  
43, 63 : 게이트 절연막 44, 64 : 게이트 전극  
45, 65 : 제 1 중간 절연막 46, 66 : 제 1 문턱층  
47, 67 : 데이터 라인 48, 68 : 제 2 중간 절연막  
49, 71 : 제 2 문턱층 50, 72 : 화소전극  
51, 70 : 절연막 52, 69 : 블랙 매트릭스  
53, 73 : 보호막

BEST AVAILABLE COPY

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야 중 배경 기술

본 발명은 액정 표시장치에 관한 것으로서, 특히 게 구름을 형성시키기 위한 액정 표시장치 및 그 제조방법에 관한 것이다.

일반적으로 액정 표시장치는 박막 트랜지스터(TFT)와 화소 전극이 배열되는 하층 기판과, 색상을 나타내기 위한 컬러필터(Color Filter) 및 공통전극과 배향막트랙스층이 형성되는 상층기판과 그리고 위의 두 기판 사이에 채워져 있는 액정으로 구성된다.

이와 같은 액정 표시장치의 기본적인 구성을 도1을 참조하면, 일정 간격을 갖고 배열함으로써 복수개의 게이트 라인(Gate Line:GL1, GL2, GL3,.....)이 배열되고, 일정 간격을 갖고 게이트 라인과 수직인 방향으로 복수개의 데이터 라인(Data Line:DL1, DL2, DL3,.....)이 배열된다. 그리고, 각 게이트 라인과 데이터 라인 사이에는 게이트 라인의 신호에 의해 데이터 라인의 신호가 화소전극에 인가되도록 스위칭하는 복수개의 박막 트랜지스터(Q

1, Q<sub>2</sub>, Q<sub>3</sub>, Q<sub>4</sub>,.....)가 매트릭스(matrix) 형태로 형성되며 화소전극에는 적층형 저장 커패시터(Cs)와 액정층을 유전체로 하는 액정 커패시터(C

L)가 형성된다.

여기서, 게이트 라인에 신호전압이 인가되면 박막 트랜지스터가 턴-온(Turn-On)상태가 되고 이 시간동안에 화상에 관한 정보를 가진 데이터 전압이 데이터 라인에 인가된다. 그리고 데이터 라인에 인가된 전압은 박막 트랜지스터를 통과하여 액정 커패시터(C

L)를 충전시키면 액정 표시장치가 동작하게 된다.

이와 같은 회로적 구성을 갖는 종래 기술에 따른 액정 표시장치를 첨부도면을 참조하여 설명하면 다음과 같다.

도2는 종래 기술에 따른 액정 표시장치의 레이아웃도이고, 도3a 내지 3h는 도2의 1-1선에 따른 액정 표시장치의 제조공정을 보여주는 공정 단면도이다.

도3a에서와 같이 유리나 수경 등의 투명 절연 기판(1)상에 다결정 실리콘을 증착하고 패터닝하여 섬모상의 활성층(2)을 형성한다.

이후, 도3b에서와 같이 전면에 감광막(3)을 증착하고 패터닝한후, 감광막(3)을 마스크로 활성층(2)상에 불순물(P 또는 N)을 이온 주입하여 스토리지 커패시터의 하부 전극영역을 정의한다.

그리고, 도3c에서와 같이 감광막(3)을 제거하고 활성층(2)을 포함한 기판(1) 전면에 게이트 절연막(4)을 형성하고, 게이트 절연막(4)상에 게이트 전극들집을 증착하고 패터닝하여 게이트 전극(5) 및 스토리지 커패시터의 상부전극(5')을 형성한다. 여기서, 게이트 전극(5)은 게이트 라인으로 사용되고, 스토리지 커패시터의 상부전극(5')은 공통전극 라인으로 사용된다.

이후, 게이트 전극(5)을 마스크로 활성층(2)에 불순물(P 또는 N)을 이온주입하고 열처리 공정으로 주입되어진 불순물 이온을 활성화시켜 박막 트랜지스터의 소스 영역과 드레인 영역을 형성한다.

그리고, 도3d에서와 같이 게이트 전극(5)을 포함한 기판(1) 전면에 제 1 층간 절연막(6)을 증착하고, 제 1 층간 절연막(6) 및 게이트 절연막(4)을 선택적으로 제거하여 활성층(2)의 소스 영역이 노출되도록 금속 콘택홀(7)을 형성한다.

이후, 도3e에서와 같이 금속 콘택홀(7)을 통해 활성층(2)의 소스 영역에 연결되도록 금속전극(8)을 형성한다. 이때, 금속전극(8)은 데이터 라인으로 사용된다.

그리고, 금속전극(8)을 포함한 기판(1) 전면에 제 2 층간 절연막(9)을 증착한다.

이후, 도3f에서와 같이 게이트 절연막(4) 및 제 1, 제 2 층간 절연막(6)(9)을 선택적으로 제거하여 활성층(2)의 드레인 영역이 노출되도록 화소전극 콘택홀(10)을 형성한다.

그리고, 도3g에서와 같이 제 2 층간 절연막(9)상에 투명한 전도성 물질층을 증착하고 패터닝 하여 화소전극 콘택홀(10)을 통해 활성층(2)과 연결되도록 화소전극(11)을 형성한다.

이후, 도3h에서와 같이 화소전극(11)을 포함한 기판(1) 전면에 실리콘 나이트라이드(Silicon Nitride)와 같은 절연막(12)을 증착하고, 박막 트랜지스터와 화소전극간의 경계부에서 빛이 새는 것을 차단하기 위하여 배향 매트릭스(13)를 증착하고 패터닝한다. 그

리고, 블랙 매트릭스(13)를 포함한 기판(1) 전면에 보호막(14)을 증착한후 패드를 오픈함으로써 액정표시장치의 하판 제작을 완료한다.

#### 방법이 이루고자하는 기술적 과제

중래 기술에 따른 액정표시장치는 스토리지 커패시터가 활성층-게이트 절연막-게이트 전극으로 구성되므로 스토리지 커패시터가 차지하는 면적이 크고 불투명하므로 개구율이 떨어지는 문제점이 있다. 또한, 스토리지 커패시터의 하부전극을 형성하기 위해 활성층에 감광막을 패터닝하여 불순물을 이온주입하는 공정에서 활성층의 오염이 발생하는 문제점도 있다. 또한, 감광막의 제거시 활성층의 표면이 손상되어 제작된 디바이스의 성능이 저하되는 문제점도 있다.

따라서, 본 발명은 이와 같은 중래 기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 화소영역 내부에 차지하는 스토리지 커패시터의 면적을 줄여 개구율을 향상시키기 위한 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

#### 방법의 구성 및 작용

본 발명에 따른 액정표시장치 및 그 제조방법은 블랙 매트릭스를 박막 트랜지스터 영역, 게이트 라인 및 데이터 라인과 화소전극의 일측과 연결되도록 합체함으로써 형성하고, 블랙 매트릭스를 공통전극으로 사용하여 화소 전극과 블랙 매트릭스에 의해 형성되는 커패시터를 스토리지 커패시터로 이용함으로써, 화소 영역에서 스토리지 커패시터가 차지하는 면적을 줄여 고개구율의 액정표시장치를 제작할 수 있는 특징이 있다.

이하, 본 발명에 따른 액정표시장치 및 그 제조방법을 첨부도면을 참조하여 상세히 설명하면 다음과 같다.

도4는 본 발명의 제 1 실시예에 따른 액정표시장치의 레이아웃도이고, 도5a 내지 5d는 도4의 1-1 선에 따른 액정표시장치의 제조 공정을 보여주는 공정단면도이다. 그리고, 도6은 본 발명의 제 2 실시예에 따른 액정표시장치의 레이아웃도이고, 도7a 내지 7n는 도6의 1-1 선에 따른 액정표시장치의 제조 공정을 보여주는 공정 단면도이다.

도4에서와 같이 본 발명에 따른 액정표시장치의 구조는 일정한 간격으로 복수개의 게이트 라인(44)이 형성되고, 게이트 라인(44)과 수직인 방향으로 일정한 간격을 갖는 복수개의 데이터 라인(47)이 형성된다. 그리고, 게이트 라인(44)과 데이터 라인(47)이 형성된 기판상의 화소 영역에 소오스 영역과 드레인 영역을 갖는 활성층(42)이 실모양으로 형성된다. 이때, 활성층(42)을 활성영역으로 하고 게이트 라인(44)을 게이트 전극으로하며 데이터 라인(47)을 소오스 전극으로 하여 박막 트랜지스터가 형성된다.

그리고, 활성층(42)의 드레인 영역에 연결되어 화소 영역에 화소전극(50)이 형성된다. 그리고, 화소전극(50) 상측에 형성되고 게이트 라인(44), 데이터 라인(47) 및 박막 트랜지스터 영역과 화소전극(50)의 일측에 중첩되어 합체함으로써 블랙 매트릭스(52)가 형성된다. 또한, 블랙 매트릭스(52)는 공통전극으로 사용한다. 여기서, 화소전극(50) - 절연막(도시되지 않음) - 블랙 매트릭스(52)로 형성되는 커패시터를 스토리지 커패시터로 사용한다.

이와 같은 구조를 갖는 본 발명의 제 1 실시예에 따른 액정표시장치의 제조 방법을 설명하면 다음과 같다.

먼저, 도5a에서와 같이 유리나 수정(Quartz)같은 투명 절연기판(41)상의 박막 트랜지스터 영역에 다결정 실리콘을 증착하고 패터닝하여 섬(Island)모양의 활성층(42)을 형성한다.

그리고, 도5b에서와 같이 활성층(42)상의 전면에 게이트 절연막(43)을 형성하고, 게이트 절연막(43)을 포함한 기판(41) 전면에 게이트 전극용합을 증착하고 패터닝하여 게이트 전극(44)을 형성한다. 이어, 게이트 전극(44)을 마스크로 활성층(42)에 불순물(P 또는 B)을 이온주입하고 열처리 공정으로 주입되어진 불순물 이온을 활성화시켜 박막 트랜지스터의 소오스 영역과 드레인 영역을 형성한다.

그리고, 도5c에서와 같이 게이트 전극(44)을 포함한 기판(41) 전면에 제 1 순간 절연막(45)을 증착하고, 활성층(42)의 소오스 영역 상부의 게이트 절연막(43) 및 제 1 순간 절연막(45)의 일부분을 제거하여 제 1 콘택홀(46)을 형성한다.

이어, 도5d에서와 같이 제 1 순간 절연막(45)을 포함한 기판(41) 전면에 금속을 증착하고 패터닝하여 제 1 콘택홀(46)을 통해 활성층(42)과 연결되도록 데이터 라인(47)을 형성한다.

그리고, 도5e에서와 같이 데이터 라인(47)을 포함한 기판(41) 전면에 제 2 순간 절연막(48)을 증착하고, 게이트 절연막(43) 및 제 1, 제 2 순간 절연막(45)(48)을 선택적으로 제거하여 활성층(42)의 드레인 영역이 노출되도록 제 2 콘택홀(49)을 형성한다.

이며, 도5f에서와 같이 제 2 층간 절연막(48) 상에 ITO(Indium Tin Oxide)와 같은 투명한 전도성 물질을 증착하고 패터닝하여 제 2 콘택홀(49)을 통해 활성층(42)과 연결되도록 화소전극(50)을 형성한다.

그리고, 도5g에서와 같이 화소전극(50)을 포함한 기판(41) 전면에 실리콘 나이트라이드(Silicon Nitride)와 같은 절연막(51)을 증착하고, 블랙 매트릭스(52)를 증착하고 패터닝하여 비막 트랜지스터 영역, 게이트 라인(44), 데이터 라인(47) 및 화소전극(50)의 일측과 중첩되도록 일체형으로 형성한 후 공통전극으로 연결한다. 여기서, 화소전극(50) - 절연막(51) - 블랙 매트릭스(52)가 적층되어 스토리지 커패시터가 형성된다. 또한, 블랙 매트릭스(52)는 스토리지 커패시터의 상부전극으로 사용된다.

이때, 블랙 매트릭스(52)를 포함한 기판(41) 전면에 보호막(53)을 증착하고 패드(PAD)를 오픈함으로써 액정 표시장치의 하판 제작을 완료한다.

이와 같은 액정 표시장치의 다른 실시예로서 본 발명의 제 2 실시예에 따른 액정 표시장치를 설명하면 다음과 같다.

도6에서와 같이 본 발명에 따른 액정 표시장치의 구조는 일정한 간격으로 복수개의 게이트 라인(64)이 형성되고, 게이트 라인(64)과 수직인 방향으로 일정한 간격을 갖는 복수개의 데이터 라인(67)이 형성된다. 그리고, 게이트 라인(64)과 데이터 라인(67)이 형성된 기판상의 비막 트랜지스터 영역에 소오스 영역과 드레인 영역을 갖는 활성층(62)이 상오함으로 형성된다. 이때, 활성층(62)을 활성 영역으로 하고 게이트 라인(64)을 게이트 전극으로하며 데이터 라인(67)을 소오스 전극으로 하며 비막 트랜지스터가 형성된다.

그리고, 활성층(62)의 드레인 영역과 연결되도록 화소전극(72)이 형성된다. 그리고, 드레인 영역을 제외한 비막 트랜지스터 영역, 게이트 라인(64) 및 데이터 라인(67)과 화소전극(72)의 일측에 중첩되도록 일체형으로 블랙 매트릭스(69)가 형성된다. 이때, 블랙 매트릭스(69)는 공통전극으로 사용된다. 또한, 블랙 매트릭스(69)는 화소전극(72) 하부에 형성된다. 여기서, 블랙 매트릭스(69) - 절연막(도시되지 않음) - 화소전극(72)으로 형성되는 커패시터를 스토리지 커패시터로 사용한다.

이와 같은 구성을 갖는 본 발명의 제 2 실시예에 따른 액정 표시장치의 제조 방법을 설명하면 다음과 같다.

먼저, 도7a 내지 7d의 공정은 본 발명에 따른 제 1 실시예와 동일하므로 설명을 생략하기로 하고, 그 이후의 공정은 다음과 같다.

도7e에서와 같이 제 2 층간 절연막(68)을 포함한 기판(61) 전면에 블랙 매트릭스(69)를 증착하여 패터닝한 후 공통전극으로 연결한다. 이때 블랙 매트릭스(69)는 활성층(62)의 드레인 영역상부에는 남지 않도록 패터닝한다.

그리고, 도7f에서와 같이 블랙 매트릭스(69)를 포함한 기판(61) 전면에 절연막(70)을 증착하고, 게이트 절연막(63) 및 제 1, 제 2 층간 절연막(65)(68) 그리고 절연막(70)의 일부분을 제거하여 활성층(62)의 드레인 영역이 노출되도록 제 2 콘택홀(71)을 형성한다.

이때, 도7g에서와 같이 절연막(70)을 포함한 기판(61) 전면에 ITO(Indium Tin Oxide)와 같은 투명한 전도성 물질을 증착하고 패터닝하여 제 2 콘택홀(71)을 통해 활성층(62)과 연결되도록 화소전극(72)을 형성한다. 여기서, 블랙 매트릭스(69) - 절연막 - 화소전극(72)이 적층되어 스토리지 커패시터가 형성된다. 또한, 블랙 매트릭스(69)는 스토리지 커패시터의 공통전극으로 사용된다.

그리고, 도7h에서와 같이 화소전극(72)을 포함한 기판(61) 전면에 보호막(73)을 증착하고 패드(PAD)를 오픈함으로써 액정 표시장치의 하판 제작을 완료한다.

#### **발명의 효과**

본 발명에 따른 액정 표시장치 및 그 제조방법은 스토리지 커패시터가 화소전극과 블랙 매트릭스가 서로 겹쳐지는 부분에 형성되도록 화소 영역에서 스토리지 커패시터가 차지하는 면적이 크게 되어 고개구율을 갖는 액정 표시장치의 제작이 가능하다. 또한, 종래 기술에서는 스토리지 커패시터의 하부 전극을 정의하기 위한 감광막 패턴 형성 및 절연층 주입공정으로 인해 활성층이 오염되거나 손상되었으나 본 발명은 화소 전극과 블랙 매트릭스에 의해 스토리지 커패시터를 형성함으로써 특성이 우수한 액정 표시장치의 제작이 가능하다.

#### **(57) 청구의 범위**

##### **청구항1**

매트릭스 형태의 화소영역과 상기 화소영역 사이에 수직인 방향으로 형성되는 복수개의 게이트 라인과 데이터 라인을 갖는 액정 표시장치에 있어서, 각각 화소 영역의 기판상에 소오스 영역과 드레인 영역을 갖고 형성되는 활성층; 상기 활성층을 활성영역으로 하고 상기 게이트 라인을 게이트 전극으로 하며 상기 데이터 라인을 소오스 전극으로 하여 형성되는 비막 트랜지스터; 상기 비막 트랜지스터

터의 협준을 영역에 연결되어 상기 화소 영역에 형성되는 화소 전극; 상기 화소 전극 상부에 형성되고 상기 박막 트랜지스터 영역, 게이트 라인, 데이터 라인, 화소전극의 일측과 중첩되어 합체함으로써 형성되는 스토리지 커패시터를 포함 매트릭스를 포함하여 구성됨을 특징으로 하는 액정표시장치.

#### 청구항2

제1항에 있어서, 상기 스토리지 커패시터를 포함 매트릭스는 공통전극으로 사용됨을 특징으로 하는 액정표시장치.

#### 청구항3

제1항에 있어서, 상기 스토리지 커패시터를 포함 매트릭스는 화소전극의 하부에도 위치할 수 있음을 특징으로 하는 액정표시장치.

#### 청구항4

매트릭스 형태의 화소 영역과 상기 화소 영역사이에서 서로 수직인 방향으로 형성되는 복수개의 게이트 라인과 데이터 라인을 갖는 액정표시장치의 제조방법에 있어서, 기판상의 합성영역에 절성층을 형성하고 상기 절성층상에 게이트 절연막을 형성하는 단계; 상기 절성층 상부의 합성영역에 게이트 전극을 형성하고 상기 게이트 전극을 마스크로 협준을 이룬을 주입하여 소오스 영역과 드레인 영역을 형성하는 단계; 상기 절성층을 포함한 기판 전면에 제 1 층간 절연막을 형성한 후 소오스 영역이 노출되도록 제 1 콘택홀을 형성하는 단계; 상기 제 1 콘택홀을 통해 소오스영역과 연결되도록 데이터 라인을 형성하고 기판 전면에 제 2 층간 절연막을 형성하는 단계; 상기 절성층의 드레인 영역이 노출되도록 제 2 콘택홀을 형성하여 제 2 콘택홀을 통해 드레인 영역과 연결되도록 화소전극을 형성하는 단계; 상기 화소전극을 포함한 기판 전면에 절연막을 형성하고 상기 절연막 상에 포함 매트릭스를 증착하고 패터닝하여 박막 트랜지스터, 게이트 라인 및, 데이터 라인과, 화소 전극의 일측을 커버하도록 형성하여 공통전극으로 연결하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

#### 청구항5

제4항에 있어서, 상기 포함 매트릭스는 스토리지 커패시터의 상부 전극으로 사용됨을 특징으로 하는 액정표시장치의 제조방법.

#### 청구항6

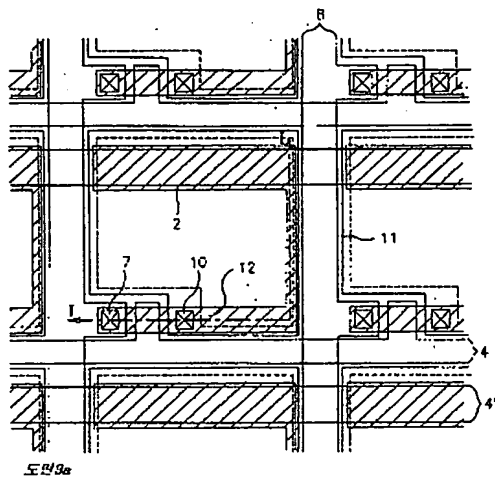
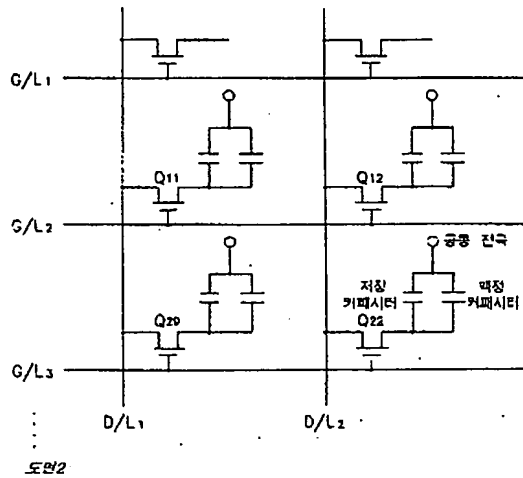
매트릭스 형태의 화소 영역과 상기 화소 영역사이에서 서로 수직인 방향으로 형성되는 복수개의 게이트 라인과 데이터 라인을 갖는 액정표시장치의 제조방법에 있어서, 기판상의 합성영역에 절성층을 형성하고 상기 절성층상에 게이트 절연막을 형성하는 단계; 상기 절성층 상부의 합성영역에 게이트 전극을 형성하고 상기 게이트 전극을 마스크로 협준을 이룬을 주입하여 소오스 영역과 드레인 영역을 형성하는 단계; 상기 절성층을 포함한 기판 전면에 제 1 층간 절연막을 형성한 후 소오스 영역이 노출되도록 제 1 콘택홀을 형성하는 단계; 상기 제 1 콘택홀을 통해 소오스영역과 연결되도록 데이터 라인을 형성하고 기판 전면에 제 2 층간 절연막을 형성하는 단계; 상기 제 2 층간 절연막 상에 포함 매트릭스를 증착하고 패터닝하여 드레인 영역 상부를 제외한 박막 트랜지스터, 게이트 라인 및, 데이터 라인과, 화소영역의 일측을 커버하도록 형성하고 공통전극으로 연결하는 단계; 상기 포함 매트릭스를 포함한 기판 전면에 절연막을 형성하고 드레인 영역이 노출되도록 제 2 콘택홀을 형성하는 단계; 상기 제 2 콘택홀을 통해 드레인 영역과 연결되도록 화소 영역에 화소전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

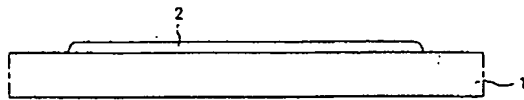
#### 청구항7

제6항에 있어서, 상기 포함 매트릭스는 스토리지 커패시터의 하부 전극으로 사용됨을 특징으로 하는 액정표시장치의 제조방법.

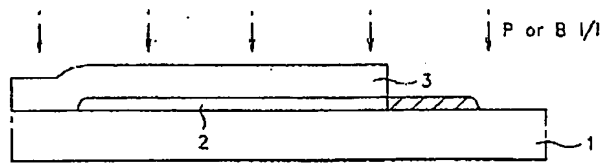
도면

도면1

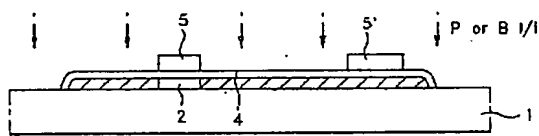




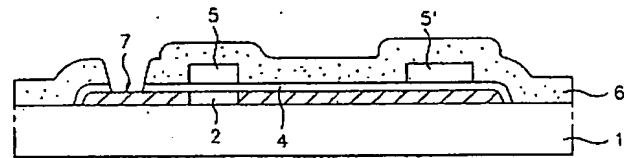
도면 3b



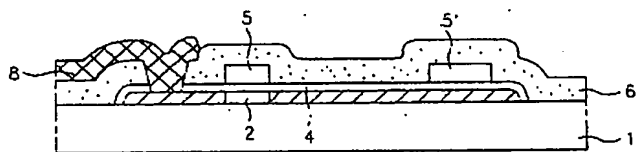
도면 3c



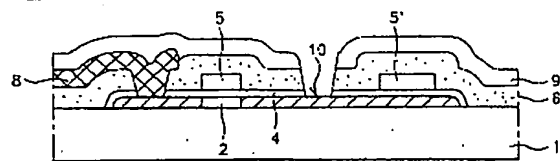
도면 3d



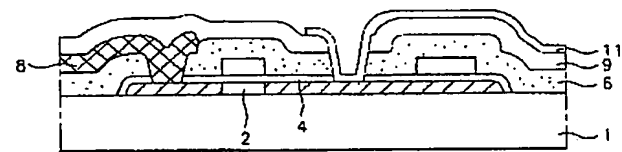
도면 3e



도면9f

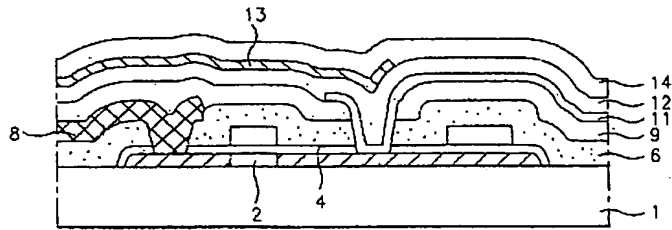


도면9g

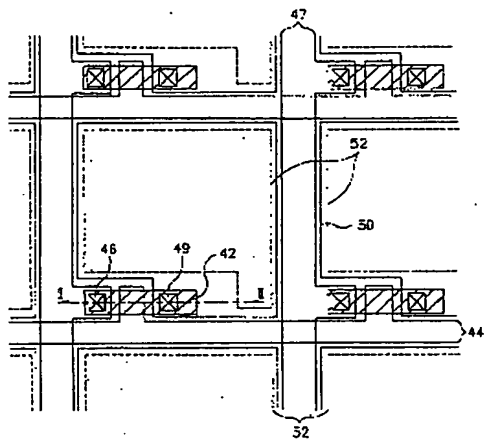


도면9h

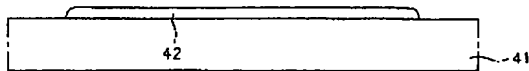




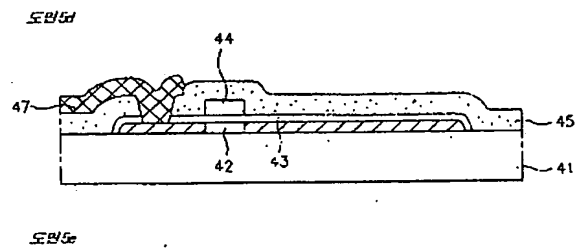
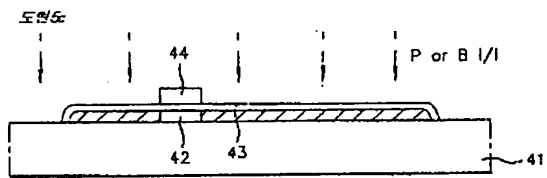
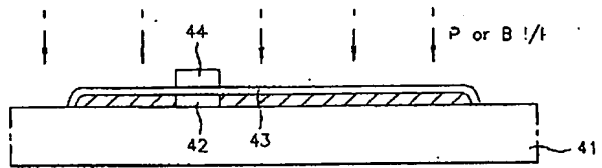
도면4

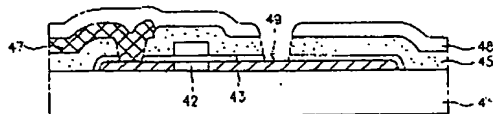


도면5a

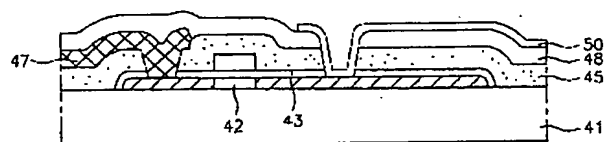


도면5b

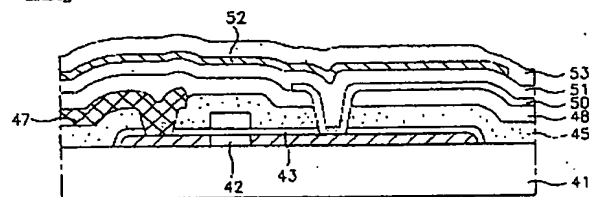




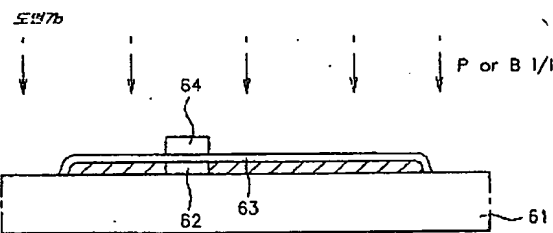
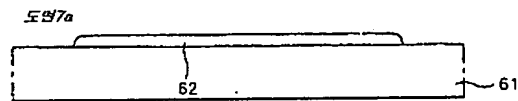
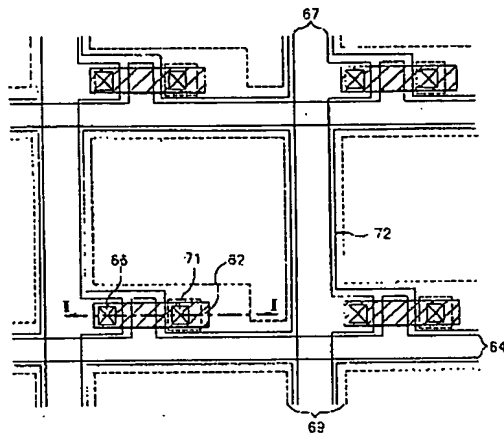
도면5d



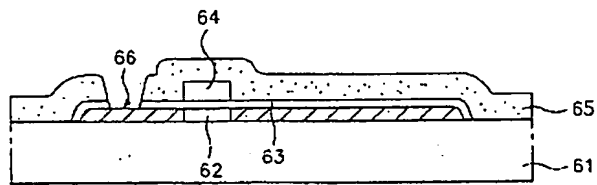
도면5g



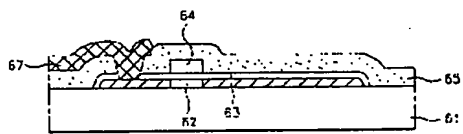
도면6



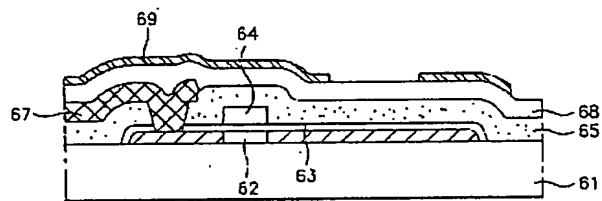
도면7c



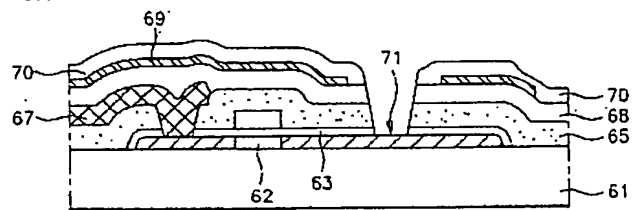
도면7d



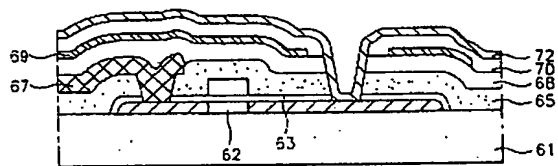
도면7e



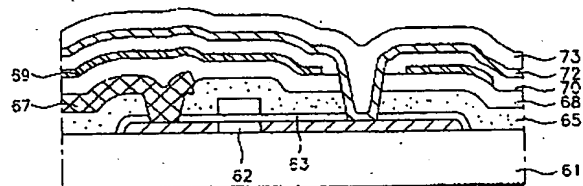
도면7f



도면7g



도 7h



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**